

PAT-NO: JP363129618A

DOCUMENT-IDENTIFIER: JP 63129618 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: June 2, 1988

INVENTOR-INFORMATION:

NAME

YOSHIDA, YUTAKA

ASSIGNEE-INFORMATION:

NAME

FUJI ELECTRIC CO LTD

COUNTRY

N/A

APPL-NO: JP61277433

APPL-DATE: November 20, 1986

INT-CL (IPC): H01L021/265, H01L021/22

US-CL-CURRENT: 438/514, 438/FOR.154

ABSTRACT:

PURPOSE: To enable regions having different concentrations of diffusion to be formed in the one and same process and to decrease the manufacturing cost, by implanting an impurity through openings which are scattered while adjusting the total area thereof so that amounts of impurity implanted per unit area are

different in different regions.

CONSTITUTION: After an oxide film 2 is formed on a silicon substrate 1, resist 3 is applied thereon and it is patterned such that the area in which a high concentration diffused region is to be formed is totally opened, while the region in which a low-concentration diffused region is to be formed is opened in mesh. Using the resist 3 thus patterned as a mask, ions 4 are implanted to form impurity implanted regions 51 and 52. After that, the resist 3 is ashed and removed. The structure is then heat treated to drive in, so that an integral diffused layer 61 and a multiplicity of diffused layers 62 lying one on another are formed. Two regions 61 and 62 of the same conductivity type but having different concentrations of diffusion are provided through the same photolithogray, ion implantation and heat treatment processed each of which is performed once.

COPYRIGHT: (C)1988,JPO&Japio

⑫ 公開特許公報(A)

昭63-129618

⑪ Int.Cl.⁴H 01 L 21/265
21/22

識別記号

庁内整理番号

Z-7738-5F
S-7738-5F

⑬ 公開 昭和63年(1988)6月2日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 昭61-277433

⑯ 出 願 昭61(1986)11月20日

⑰ 発 明 者 吉 田 豊 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社
社内

⑱ 出 願 人 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号

⑲ 代 理 人 弁理士 山口 巖

BEST AVAILABLE COPY

明 細 書

1. 発明の名称 半導体装置の製造方法

2. 特許請求の範囲

1) 半導体素体の複数の選択的領域に表面から同一不純物を導入し、熱処理を行って異なる不純物濃度の拡散層を形成する際に、不純物を各領域の表面の均一に分散された部分領域から導入し、その場合導入される部分領域の面積の合計の当該領域全面積に対する割合を形成すべき拡散層の不純物濃度に比例させることを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体素体に選択的に表面から不純物を導入した後、熱処理を行って拡散層を形成する工程を含む半導体装置の製造方法に関する。

(従来の技術)

この種の半導体装置の製造方法として従来第2図(a)~(b)に示すものが知られている。第2図(a)はシリコン基板1上にシリコン酸化膜2を形成し、

レジスト3を塗布、パターニングしたものである。レジスト3に覆われないシリコン酸化膜2を、レジスト3をマスクにしてエッチングして除去してもよい。図(a)でレジスト3をマスクとして、均一にイオン4の注入を行い、不純物注入領域51を形成する。図(a)でレジスト3を灰化して除去し、図(a)でドライブインの熱処理を行って、ある深さの拡散層61を形成する。その後図(a)で再びレジスト3を塗布、パターニングして、図(c)でこのレジスト3をマスクとしてドーズ量を変えてイオン4の注入を行い、不純物注入領域53を形成する。図(c)で再びレジストを灰化して除去し、図(b)でドライブインの熱処理を行って異なる拡散濃度の領域61、63を形成する。

第3図(a)~(d)は別の従来例を示す。図(a)~(d)は第2図の場合と同じであるが、図(a)ではドライブインの熱処理は行わず、再度レジスト3の塗布、パターニングをし、図(c)でレジスト3をマスクとしてイオン4の注入を、図(d)におけるイオン4の注入に比べてドーズ量を変えて行い、領域51、53

を形成する。図(4)でレジストを灰化し、図(4)でドライブインの熱処理を行って、領域61、63とも所望の拡散深さ、拡散濃度に同時に形成する。

(発明が解決しようとする問題点)

上述のように、拡散濃度の異なる同一導電型の二つの領域を形成するのに7工程、8工程を必要とし、製造コストが高くなるという欠点があった。

本発明の目的は、拡散濃度の異なる複数の領域を同一の工程で同時に形成する半導体装置の製造方法を提供することを目的とする。

(問題点を解決するための手段)

上記の目的を達成するために、本発明は半導体素体の複数の選択的領域に表面から同一不純物を導入し、熱処理を行って異なる不純物濃度の拡散層を形成する際に、不純物を各領域の表面の均一に分散された部分領域から導入し、その場合導入される部分領域の面積の合計の当該領域全面積に対する割合を形成すべき拡散層の不純物濃度按比例させるものとする。

(作用)

する。その結果、一導電型の拡散濃度の異なる二つの領域61、62を同一の処理すなわち、フォトリソグラフィ工程、イオン注入工程、熱処理工程で一度に形成できた。第4図に本発明の実施例で使用するフォトリソマスクを示す。ハッチングのある箇所のレジストが除去され、不純物がイオン注入される。領域52に注入される単位面積当たりのドーズ量と領域51に注入される単位面積当たりドーズ量の比は、(メッシュ状に開口された部分の総面積) / (形成される拡散領域の面積) で表わされる。そこで開口される部分の面積比を変えることにより容易に単位面積当たりのドーズ量を調整でき、従って拡散濃度も変えることが可能となる。ここで、メッシュ状にイオン注入された不純物が熱処理により、一つの拡散領域を形成するためには、メッシュの間隔Wを横方向拡散距離の2倍より充分短くする必要がある。例えば横方向拡散距離が2 μ mであれば、メッシュ間隔Wを1 μ m以下にする。

本発明においては、メッシュ状にイオン注入す

表面の分散した部分から所定の領域に不純物を導入することにより、その領域に導入面積の割合に応じた不純物濃度が得られるので、導入面積の割合を調整することにより、同時に同一導電型で不純物濃度の異なる複数の拡散層を形成することができる。

(実施例)

第1図は、本発明の一実施例を示すもので、図(4)でシリコン基板1上にシリコンの酸化膜2を形成し、レジスト3を塗布、フォトリソグラフィ法によりパターニングする。この時、レジストは高濃度拡散領域を形成すべき箇所は全面が開口され、低濃度拡散領域を打ち込む箇所はメッシュ状に開口される。このあと、露出しているシリコン酸化膜2をレジスト3をマスクにしてエッチングにより除去してもよい。次いで、図(4)でレジスト3をマスクにしてイオン4を注入し、注入領域51、52を形成する。その後図(4)でレジスト3を灰化して除去し、図(4)でドライブインの熱処理を行って一体の拡散層61と重なり合う多数の拡散層62を形成

ることにより表面濃度が場所により不均一となることが問題点となる。拡散抵抗に関しては、表面濃度の不均一により問題は生じないが、例えばNチャネルMOSFETを形成する際、必要なPウェル領域に関しては表面濃度の不均一により、スレッショルド電圧、飽和電流等がばらつくという問題が生じる。表面濃度を均一にする手段としては、メッシュ形状の工夫、メッシュの微細化がある。メッシュ形状に関しては、第4図に示した市松模様より、第5図、第6図に示す模様の方が均一化に対し有利である。また、メッシュの大きさを微細化した方が均一な表面濃度が得られるが、加工技術の限界がある。視点を変えれば、同じ大きさのメッシュに対しては横方向拡散距離を長くすれば、より表面濃度が均一になる。そこで、均一な表面濃度が必要な場合、拡散深さを深くすれば良い。

第7図は、本発明の別の実施例を示すもので、図(4)でシリコン基板1上にやや厚いシリコン酸化膜2を形成し、レジスト3を塗布、パターニング

する。このとき、レジストには全面開口された部分と、メッシュ状に開口された部分がある。その後、図4で露出した酸化膜2をレジスト3をマスクにしてエッチングする。さらに図4でレジスト3を除去し、図4で酸化膜2をマスクとして、例えば拡散法で不純物ドーピング領域71, 72を形成する。しかる後図4で、ドライブインの熱処理を行って拡散層61, 62を形成する。単位面積当たりドーパされた不純物量の差により、一導電型の拡散濃度の異なる二つの領域を同一の処理で拡散法にても形成できた。

第8図は、本発明のさらに別の実施例を示すもので、図4シリコン基板1上に一面にシリコン酸化膜2を形成する。図4で、マスク無しでイオン4のビームを直接シリコン基板に打ち込んで不純物注入領域51, 52を形成する。ここで領域51は全域に打ち込み、領域52は、例えば1 μ mの径に絞ったイオンビームをメッシュ状に打ち込む。図4で熱処理をして拡散層61, 62を形成する。この時も同様に拡散濃度の異なる領域を1回のイオンビ-

16のシート抵抗は数k Ω / \square が望ましいので、ベース領域15はレジストを全面開口し、拡散抵抗領域16はレジストをメッシュ状に開口し、イオン注入を行う。

(発明の効果)

本発明によれば、面積の合計を調整して分散した面積部分から不純物を導入し、単位面積当たり導入される不純物量に差を設けることにより、拡散濃度の異なる複数の拡散領域を同一工程で形成することによって、拡散濃度の異なる2領域を形成する場合に従来法では7~8工程を要していたのが3~5工程と工程数を半減することができ、コストダウンによる産業上の効果が非常に大きい。

4. 図面の簡単な説明

第1図(a)~(d)は本発明の一実施例の工程を順次示す断面図、第2図(a)~(h)は従来の工程を順次示す断面図、第3図(a)~(d)は別の従来の工程を順次示す断面図、第4図、第5図、第6図は本発明により使用されるフォトリソのバタンの平面図、第7図は本発明の別の実施例の工程を順次示

す断面図と熱処理工程で形成できた。

次に本発明をBI-CMOSの製造に適用した例を第9図に示す。この例においては、n型基板11上のp型エピタキシャル層12の中のアイソレーション層13とpウエル14、pベース15と拡散抵抗16を同一拡散で形成する。アイソレーション層13は、回路上基板に電流を流す場合、基板の電位を安定にするため濃度を高くする必要があるのに対し、pウエル14はnチャネルMOSFETのスレッシュホールド電圧を1V程度にするためドーパ量を $1 \times 10^{13}/\text{cm}^2$ 程度にする。そこで、アイソレーション領域13はレジストを全面開口し、pウエル領域14はレジストをメッシュ状に開口してドーパ量を変える。両者の拡散深さは約12 μ mで横方向拡散距離は約10 μ mである。メッシュの間隔を1 μ mにすれば、横方向拡散距離に対し充分短いので、pウエル14の表面濃度の不均一性は問題とはならない。拡散抵抗16に関しては、ベース層15と同一工程で形成して工程数を削減を行う。ベース15のシート抵抗は約200 Ω/\square であるのに対し、拡散抵抗

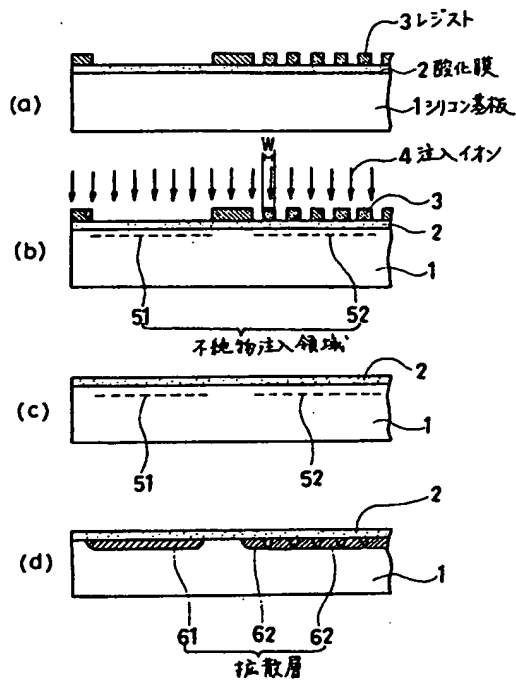
す断面図、第8図はさらに別の実施例の工程を順次示す断面図、第9図は本発明の実施されるBI-CMOSの断面図である。

1: シリコン基板、2: 酸化膜、3: レジスト、
4: 注入イオン、51, 52: 不純物注入領域、61, 62: 拡散層、71, 72: 不純物ドーピング領域。

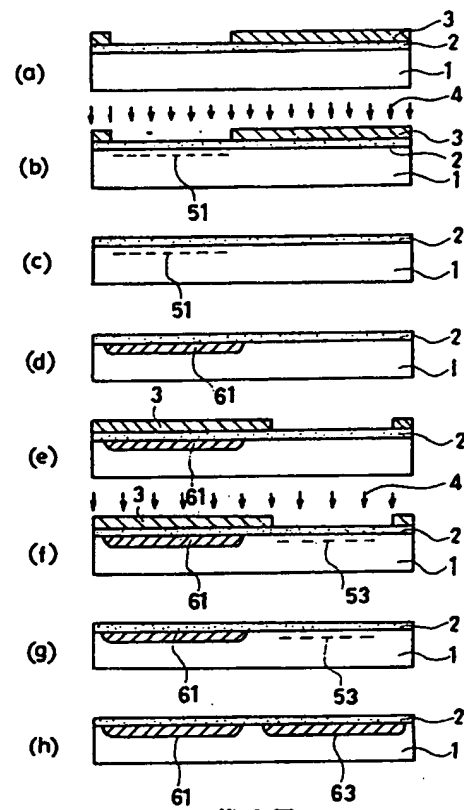
代理人弁護士 山口 雄



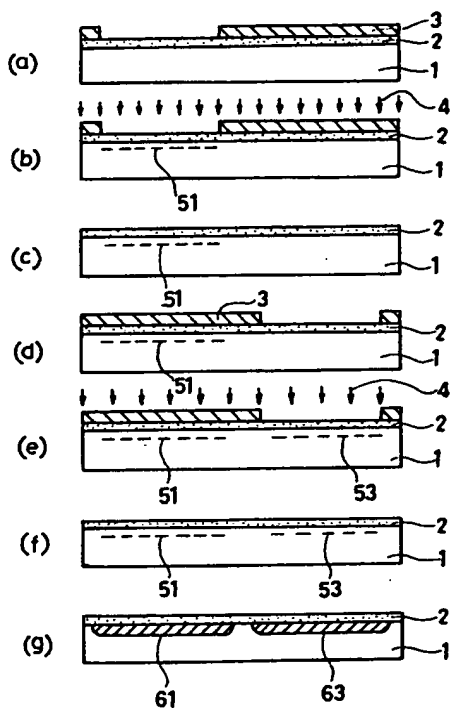
BEST AVAILABLE COPY



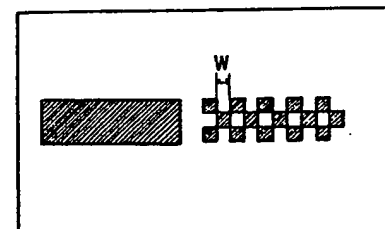
第 1 図



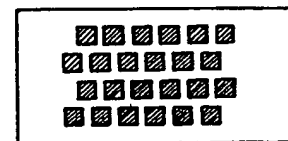
第 2 図



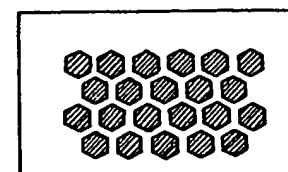
第 3 図



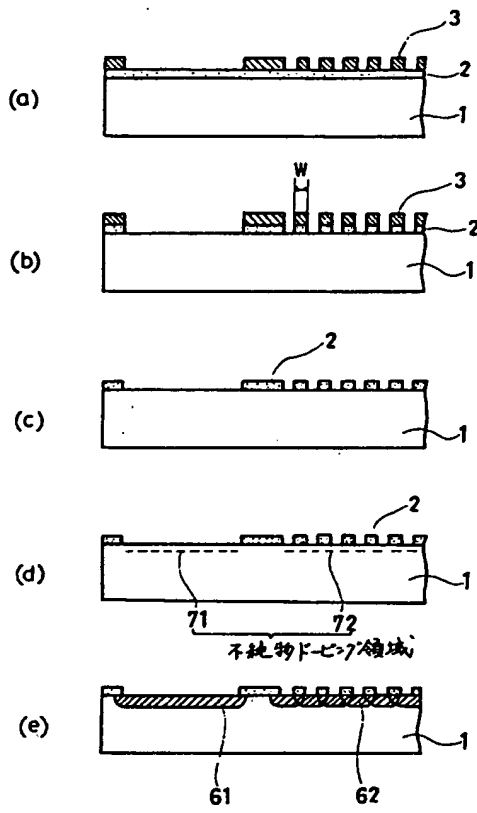
第 4 図



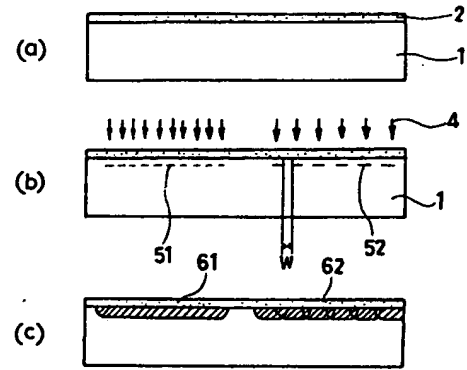
第 5 図



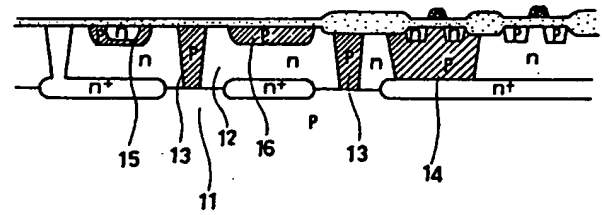
第 6 図



第 7 図



第 8 図



第 9 図

BEST AVAILABLE COPY